

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-342084

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

G06F 12/00
G06F 9/38

(21)Application number : 04-147248

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 08.06.1992

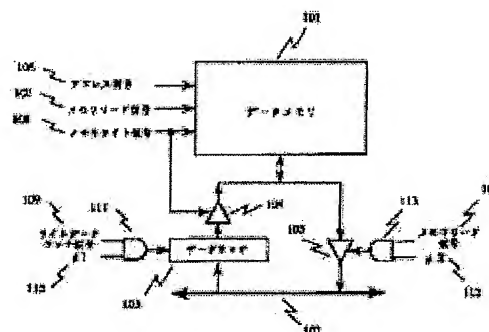
(72)Inventor : UEDA KATSUHIKO
ISHIKAWA TOSHIHIRO
SAKAKIBARA MIKIO

(54) DEVICE AND METHOD FOR STORING DATA

(57)Abstract:

PURPOSE: To execute instructions at high speed by avoiding that a memory read operation due to the preceding instruction and a memory write operation due to the following instruction are generated at the same time.

CONSTITUTION: A data memory 101 can perform either the read operation or the write operation in one memory cycle. A data latch 103 temporarily holds data applied through a data bus 102 and written into the data memory 101, a buffer 104 connects the output of the data latch 103 to the input of the data memory 101, and a buffer 105 outputs the output of the data memory 101 to the data bus 102. A gate 111 outputs the AND of a write data latch signal 109 and an operation clock ϕ 110, and a gate 113 outputs the AND of a memory read signal 107 and an operation clock ϕ 2112 to the buffer 105.



特開平5-342084

(43)公開日 平成5年(1993)12月24日

(51) Int.Cl.⁵

G O 6 F 12/00
9/38

識別記号

$$\begin{array}{r} 561 \\ 350 \end{array}$$

庁内整理番号

7368-5B
9193-5B

FI

技術表示箇所

審査請求 未請求 請求項の数 4 (全 10 頁)

(21)出題番号

特願平4-147248

(22)出願日

平成4年(1992)6月8日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 上田 勝彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 石川 利広

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 榊原 幹夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

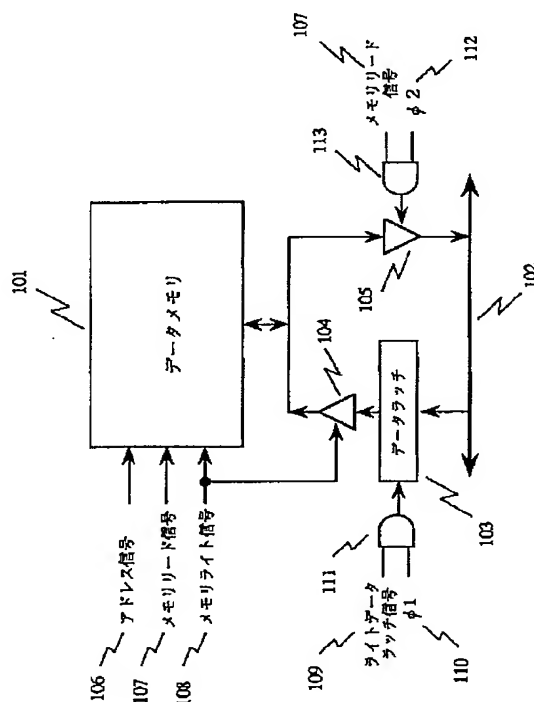
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 データ記憶装置及びデータ記憶方法

(57) 【要約】 (修正有)

【目的】 先行する命令によるメモリリード動作と後続する命令によるメモリライト動作が同時に発生する場合、これを回避し高速に命令実行する。

【構成】 データメモリ１０１は１メモリサイクルでリード動作／ライト動作の何れか一方だけを行なうことができる。データラッチ１０３はデータバス１０２経由で与えられるデータメモリ１０１へライトすべきデータを一時保持し、バッファ１０４はデータラッチ１０３出力をデータメモリ１０１の入力へ接続し、バッファ１０５はデータメモリ１０１の出力をデータバス１０２へ出力する。ゲート１１１は、ライトデータラッチ信号１０９と動作クロック ϕ １１１０の論理積をデータラッチ１０３に出力し、ゲート１１３はメモリリード信号１０７と動作クロック ϕ ２１１２の論理積をバッファ１０５に出力する構成からなる。



【特許請求の範囲】

【請求項1】データを記憶するメモリと、前記メモリにライトするデータを一時保持するデータラッチと、前記データラッチに外部よりデータをラッチすることを指示するライトデータラッチ信号と、前記メモリに前記データラッチの出力をライトすることを指示するメモリライト信号とを備えたことを特徴とするデータ記憶装置。

【請求項2】データを記憶するメモリへの入力部にライトデータ一時保持用のラッチを設け、先行する命令がメモリライト動作が必要な場合にはこの命令では前記ラッチへのライトだけを行ない、後続する命令が前記ラッチから前記メモリへのライトを行なうデータ記憶方法。

【請求項3】データを記憶するメモリと、前記メモリからリードするデータを一時保持するデータラッチと、前記メモリに対してはリード動作を前記データラッチにはメモリ出力をラッチすることを指示するメモリリード信号と、前記データラッチにそのラッチ内容を外部に出力することを指示するラッチデータ出力信号とを備えたことを特徴とするデータ記憶装置。

【請求項4】データを記憶するメモリからの出力部にリードデータ一時保持用のラッチを設け、メモリ内容を必要とする命令に先行する命令が予め前記メモリから前記ラッチへのリードだけを行ない、メモリ内容を必要とする後続命令は前記ラッチからのリードだけを行なうデータ記憶方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はパイプライン方式を採用したデータ記憶装置に関するものである。

【0002】

【従来の技術】近年のマイクロプロセッサでは性能向上のためパイプライン処理を採用しているものが多い。しかしパイプライン処理では資源干渉問題が発生する。例として図13に示したように各命令がIFステージ1301（命令フェッチを行なうステージ）、DEC/OFステージ1302（フェッチした命令のデコード及び、レジスタもしくはメモリからオペランドをフェッチするステージ）、EXステージ1303（デコード結果に従い命令を実行するステージ）、WTステージ1304

（命令実行結果をレジスタもしくはメモリにライトするステージ）の4段パイプラインからなるものとし、このようなパイプライン構成で図14に示したように命令A1401、命令B1402、命令C1403を実行する場合を考える。ここで命令A1401、命令C1403は、DEC/OFステージではオペランドをメモリから取り出し、EXステージでは取り出した内容に演算を施し、WTステージではメモリに演算結果を格納するものとする。この時図14のサイクル1404では、命令A1401がWTステージでメモリライト動作を行ない、命令C1403はDEC/OFステージでメモリリード

動作を行なうため、両ステージで共にメモリをアクセスすることになり資源干渉が発生する。

【0003】従来はこれに対して図15のサイクル1501に示すように命令C1403のDEC/OFステージを1サイクル遅らすことで対処している（参考文献、例えば「コンピュータアーキテクチャーアクアンティテイティブアプローチ（Computer Architecture A Quantitative Approach）」257頁～278頁、1990年 モーガン カウフマン パブリッシーズ（Morgan Kaufmann Publishers, Inc.）発行）。

【0004】

【発明が解決しようとする課題】しかしながら上記のような方法では、命令C1403の実行に5サイクルかかっていることになり命令実行が1サイクル遅くなってしまうという欠点を有する。

【0005】本発明は上記問題点を鑑み、メモリに対してリード動作とライト動作が同時に発生することを回避し、高速に命令実行が行なえるデータ記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記問題点を解決するために請求項1の発明のデータ記憶装置は、データを記憶するメモリと、前記メモリにライトするデータを一時保持するデータラッチと、前記データラッチに外部よりデータをラッチすることを指示するライトデータラッチ信号と、前記メモリに前記データラッチの出力をライトすることを指示するメモリライト信号とを備える。

【0007】また請求項3の発明のデータ記憶装置は、データを記憶するメモリと、前記メモリからリードするデータを一時保持するデータラッチと、前記メモリに対してはリード動作を前記データラッチにはメモリ出力をラッチすることを指示するメモリリード信号と、前記データラッチにそのラッチ内容を外部に出力することを指示するラッチデータ出力信号とを備える。

【0008】

【作用】請求項1記載の発明は上記した構成によって、先行する命令がメモリライト動作が必要な場合にはこの命令では前記データラッチへのライトだけを行ない、前記データラッチから前記メモリへのライトは前記メモリがリードされていない時に後続する命令が行なう。

【0009】請求項3記載の発明は上記した構成によって、メモリ内容を必要とする命令に先行する命令が予め前記メモリから前記ラッチへのリードだけを行ない、メモリ内容を必要とする後続命令は前記ラッチからのリードだけを行なう。

【0010】

【実施例】以下請求項1に対応する本発明の一実施例のデータ記憶装置について、図面を参照しながら説明する。

【0011】図1は本発明の実施例におけるデータ記憶

装置の構成図を示すものである。図2、図3、図4、図5は図1のデータ記憶装置の動作タイミングを示す図であり、図6は図1のデータ記憶装置で命令を実行する場合のパイプラインの動きを示す図である。

【0012】図1において、101は、1サイクルでリード動作／ライト動作の何れか一方だけを行なうことができるデータメモリ、102は、データバス、103は、データバス102経由で与えられデータメモリ101へライトすべきデータを一時保持するデータラッチ、104は、データラッチ103出力をデータメモリ101の入力へ接続するバッファ、105は、データメモリ101の出力をデータバス102へ出力するバッファ、106は、データメモリ101へのアドレス信号、107は、データメモリ101へリード動作を指示するメモリリード信号、108は、データメモリ101へライト動作を指示するメモリライト信号、109は、データラッチ103へラッチ動作を指示するライトデータラッチ信号、110は、動作クロック $\phi 1$ 、111は、ライトデータラッチ信号109と動作クロック $\phi 1$ の論理積をデータラッチ103に出力するゲート、112は、動作クロック $\phi 2$ 、113は、メモリリード信号107と動作クロック $\phi 2$ の論理積をバッファ105に出力するゲートである。

【0013】以上のように構成されたデータ記憶装置について、以下、図1、図2、図3、図4、図5を用い、その動作をデータメモリ101へのアクセス状態で分類したケース1からケース5に分けて説明する。

【0014】ケース1)メモリリードの場合(図2参照)。図2に示したようにメモリサイクルの初めでアドレス信号106によりアクセスしたい番地のアドレスがデータメモリ101に与えられる。またメモリリード信号107も能動となりデータメモリ101のリード動作が行なわれる。そしてクロック $\phi 2$ のタイミングでゲート113の出力が能動となり、アクセスされたデータメモリ101の出力はバッファ105を経由してデータバス102に出力される。

【0015】ケース2)データバス102上のデータを1メモリサイクルでデータメモリ101にライトする場合(図3参照)。

【0016】図3に示したようにメモリサイクルの初めでアドレス信号106によりアクセスしたい番地のアドレスがデータメモリ101に与えられる。またライトデータラッチ信号109、メモリライト信号108も能動となりデータメモリ101へのライト動作が行なわれる。すなわちクロック $\phi 1$ のタイミングでゲート111の出力が能動となり、データバス102上のデータはデータラッチ103にラッチされ、その出力はバッファ104を経由してデータメモリ101に出力される。その結果メモリサイクル終了時点でデータバス102上のデータはデータメモリ101にライトされる。

【0017】ケース3)データバス102上のデータをデータラッチ103にラッチする場合(図4参照)。

【0018】図4に示したようにライトデータラッチ信号109が能動となるので、クロック $\phi 1$ のタイミングでゲート111の出力が能動となり、データバス102上のデータはデータラッチ103にラッチされる。しかしメモリライト信号108は非能動であるのでデータラッチ103の出力はデータメモリ101に与えられず、またデータメモリ101へのライトも行なわれない。その結果メモリサイクル終了時点でデータバス102上のデータはデータラッチ103にラッチされるだけとなる。

【0019】ケース4)データラッチ103のデータをデータメモリ101にライトする場合(図5参照)。

【0020】図5に示したようにメモリライト信号108が能動となるので、データラッチ103の出力はバッファ104を経由してデータメモリ101に与えられる。その結果メモリサイクル終了時点でデータラッチ103のデータはデータメモリ101にライトされる。

【0021】次に、本実施例のデータ記憶装置を用いることで、図14に示したようなメモリ資源干渉を回避する動作を図6を用いて説明する。

【0022】図6においてOF、WT、WTB、WTMと記したステージではそれぞれ、ケース1、ケース2、ケース3、ケース4で述べた動作を行なう。そして図6中の命令A601、命令B602にはこのような動作を行なう情報が組み込んであるものとする。

【0023】そこでサイクル604では命令A601により上記ケース3の動作を行なわれ、命令C1403により上記ケース1の動作が行なわれる。すなわちこの時データメモリ101は、命令C1403によるリード動作だけが行なわれ、命令A601によるライト動作は行なわれないので資源干渉は発生しない。しかしサイクル604では命令A601によりケース3の動作が行なわれるので、演算結果のデータラッチ103へのラッチは行なわれる。

【0024】そしてサイクル605では命令B602により上記ケース4の動作が行なわれることで、サイクル604で命令A601によりデータラッチ103に書き込まれたデータがデータメモリ101へライトされる。

【0025】以上のように本実施例によれば、データラッチ103、メモリライト信号108、ライトデータラッチ信号109とを設け、メモリへのライトをデータバス102からデータラッチ103へのライトと、データラッチ103からデータメモリ101へのライトに分離し、メモリリード／ライトによるメモリ資源干渉が発生する場合には、先行する命令ではデータラッチ103へのラッチだけを行ない、後続命令でデータラッチ103からデータメモリ101へのライトを行なうことで干渉を回避することができ、従来のように空きステージを発

生させることがなくなり、高速に命令実行を行なうことが出来る。

【0026】尚、本説明ではデータラッチ103からデータメモリ101へのライト動作を、データバス102からデータラッチ103へのライト動作の直後に行なっているが、必ずしも直後に行なう必要はなく、次のメモリライトが行なわれるまでの間でかつメモリ干渉が発生しないステージで行なえばよい。

【0027】次に請求項3に対応する本発明の一実施例のデータ記憶装置について、図面を参照しながら説明する。

【0028】図7は本発明の実施例におけるデータ記憶装置の構成図を示すものである。図8、図9、図10、図11は図7のデータ記憶装置の動作タイミングを示す図であり、図12は図7のデータ記憶装置で命令を実行する場合のパイプラインの動きを示す図である。

【0029】図7において図1と同じ番号を付した構成要素、信号は既に述べたものと同じであるので説明は省略する。図7において、701は、データメモリ101の出力を一時ラッチするデータラッチ、702は、メモリリード信号107と動作クロック ϕ 2の論理積をデータラッチ701に出力するゲート、703は、バッファ105にデータラッチ701の出力をデータバス102に出力することを指示するラッチデータ出力信号、704は、ラッチデータ出力信号703と動作クロック ϕ 2の論理積をバッファ105に出力するゲート、705は、メモリライト信号108と動作クロック ϕ 1の論理積をバッファ104に出力するゲートである。

【0030】以上のように構成されたデータ記憶装置について、以下、図8、図9、図10、図11を用い、その動作をデータメモリ101へのアクセス状態で分類したケース5からケース8に分けて説明する。

【0031】ケース5)メモリライトの場合(図8参照)。図8に示したようにメモリサイクルの初めでアドレス信号106によりアクセスしたい番地のアドレスがデータメモリ101に与えられる。またメモリライト信号108も能動となりデータメモリ101へのライト動作が行なわれる。すなわちクロック ϕ 1のタイミングでゲート705の出力が能動となり、データバス102上のデータはバッファ104を経由してデータメモリ101に出力される。その結果メモリサイクル終了時点でデータバス102上のデータはデータメモリ101にライトされる。

【0032】ケース6)データメモリ101の内容を1サイクルでデータバス102に出力する場合(図9参照)。

【0033】図9に示したようにメモリサイクルの初めでアドレス信号106によりアクセスしたい番地のアドレスがデータメモリ101に与えられる。またメモリリード信号107、ラッチデータ出力信号703も能動と

なりデータメモリ101のリード動作が行なわれる。そしてクロック ϕ 2のタイミングでゲート702、ゲート704の出力が能動となり、アクセスされたデータメモリ101の出力はデータラッチ701、バッファ105を経由してデータバス102に出力される。

【0034】ケース7)データメモリ101の内容をデータラッチ701までリードする場合(図10参照)。

【0035】図10に示したようにメモリサイクルの初めでアドレス信号106によりアクセスしたい番地のアドレスがデータメモリ101に与えられる。またメモリリード信号107も能動となりデータメモリ101のリード動作が行なわれる。そこでクロック ϕ 2のタイミングでゲート702の出力が能動となり、データメモリ101の出力はデータラッチ701にラッチされる。しかしこの場合、ラッチデータ出力信号703が非能動であるのでラッチ結果はデータバス102には出力されない。

【0036】ケース8)データラッチ701の出力をデータバス102に出力する場合(図11参照)。

【0037】図11に示したようにラッチデータ出力信号703が能動となり、ゲート704の出力がクロック ϕ 2のタイミングで能動となるので、データラッチ701の出力がバッファ105を経由してデータバス102に出力される。

【0038】次に、本実施例のデータ記憶装置を用いることで、図14に示したようなメモリ資源干渉を回避する動作を図12を用いて説明する。

【0039】図12においてWT、OF、OFB、RDBと記したステージではそれぞれ、先にケース5、ケース6、ケース7、ケース8で述べた動作を行なう。そして図12中の命令B1201、命令C1202にはこのような動作を行なう情報が組み込んであるものとし、さらに命令B1201はメモリ内容を必要としない命令であるとする。

【0040】そこでサイクル1203では命令B1201により上記ケース7の動作が行なわれる。すなわちこの時データメモリ101はリード動作だけが行なわれるがリード結果はデータラッチ701に読み出されるだけでデータバス102には出力されない。

【0041】次のサイクル1204では命令A1401により上述のケース5の動作であるメモリライト動作が行なわれる。それと同時に命令C1202により上述のケース8の動作であるデータラッチリード動作が行なわれる。すなわち、命令C1202のEXステージ(サイクル1205)で必要とするデータメモリ101のリードをサイクル1204での命令C1202のオペランドフェッチステージで行なうのではなく、先行する命令B1201(命令B1201はメモリ内容を必要としない命令としている)のオペランドフェッチステージで行ないフェッチ結果をデータラッチ701に格納しておき、

サイクル1204での命令C1202のオペランドフェッチステージではデータラッチ701のデータバス102への出力だけを行ないメモリリードは行なわないように動作する。従って命令A1401によるメモリライト動作と命令C1202によるメモリリード動作によるメモリ資源干渉は発生しない。

【0042】以上のように本実施例によれば、データラッチ701、メモリリード信号107、ラッチデータ出力信号703、メモリライト信号108とを設け、データメモリ101からのリードをデータメモリ101からデータラッチ701へのリードと、データラッチ701からデータバス102へのリードに分離し、メモリリード/ライトによるメモリ干渉が発生する場合には、先行する命令ではデータラッチ701へのラッチだけを行ない、後続命令でデータラッチ701からデータバス102への出力を行なうことで干渉を回避することができ、従来のように空きステージを発生させる必要がなくなり、高速に命令実行を行なうことが出来る。

【0043】

【発明の効果】以上のように本発明の第1の発明は、データを記憶するメモリと、前記メモリにライトするデータを一時保持するデータラッチと、前記データラッチに外部よりデータをラッチすることを指示するライトデータラッチ信号と、前記メモリに前記データラッチの出力をライトすることを指示するメモリライト信号とを設け、メモリライトを要する先行命令とメモリリードを要する後続命令がメモリ資源に対して干渉を起こす場合には、メモリライトを要する命令はメモリライトを行なわずデータラッチへのライトだけを行ない、データラッチからメモリへのライトは後続する別の命令で行なうことでメモリ干渉を回避出来、無駄のない高速のパイプライン処理が実現できる。

【0044】また、本発明の第2の発明は、データを記憶するメモリと、前記メモリからリードするデータを一時保持するデータラッチと、前記メモリに対してはリード動作を前記データラッチにはメモリ出力をラッチすることを指示するメモリリード信号と、前記データラッチにそのラッチ内容を外部に出力することを指示するラッチデータ出力信号とを設け、メモリライトを要する先行命令とメモリリードを要する後続命令がメモリ資源に対して干渉を起こす場合には、メモリリードを要する命令に先行する命令でオペランドとしてメモリ資源を必要としない命令でメモリからデータラッチへのリードだけを行ない、本来のメモリリードを要する命令はデータラッチからのリードだけを行なうことでメモリ干渉を回避出来、本発明の第1の発明と同じ効果を得ることが出来る。

【図面の簡単な説明】

【図1】本発明の第1の発明の実施例におけるデータ記憶装置の構成図

【図2】本発明の第1の発明の実施例における動作タイミングを示すタイミングチャート

【図3】本発明の第1の発明の実施例における動作タイミングを示すタイミングチャート

【図4】本発明の第1の発明の実施例における動作タイミングを示すタイミングチャート

【図5】本発明の第1の発明の実施例における動作タイミングを示すタイミングチャート

【図6】本発明の第1の発明の実施例におけるパイプライン動作を示す図

【図7】本発明の第2の発明の実施例におけるデータ記憶装置の構成図

【図8】本発明の第2の発明の実施例における動作タイミングを示すタイミングチャート

【図9】本発明の第2の発明の実施例における動作タイミングを示すタイミングチャート

【図10】本発明の第2の発明の実施例における動作タイミングを示すタイミングチャート

【図11】本発明の第2の発明の実施例における動作タイミングを示すタイミングチャート

【図12】本発明の第2の発明の実施例におけるパイプライン動作を示す図

【図13】一般的なパイプライン動作を示す図

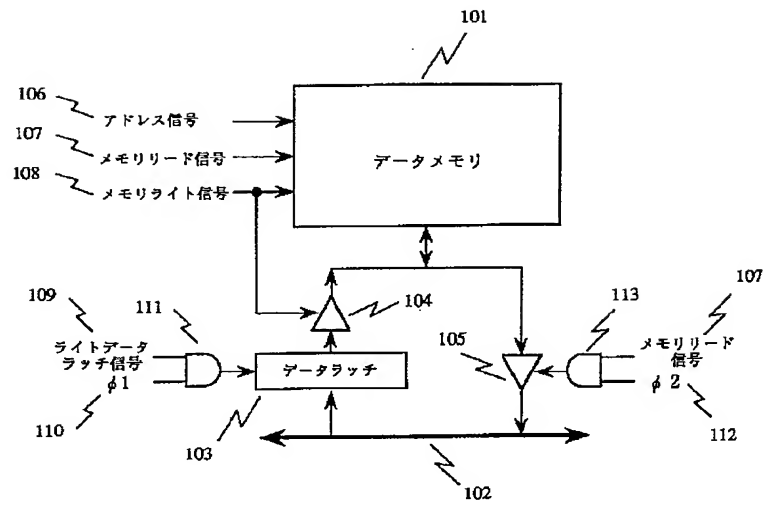
【図14】一般的なパイプライン動作でメモリ資源干渉を起こした場合の図

【図15】従来のデータ記憶装置でメモリ資源干渉を回避したパイプライン動作を示す図

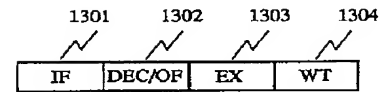
【符号の説明】

- 101 データメモリ
- 102 データバス
- 103 データラッチ
- 104 バッファ
- 105 バッファ
- 106 アドレス信号
- 107 メモリリード信号
- 108 メモリライト信号
- 109 ライトデータラッチ信号
- 110 クロックφ1
- 111 ゲート
- 112 クロックφ2
- 113 ゲート
- 701 データラッチ
- 702 ゲート
- 703 ラッチデータ出力信号
- 704 ゲート
- 705 ゲート

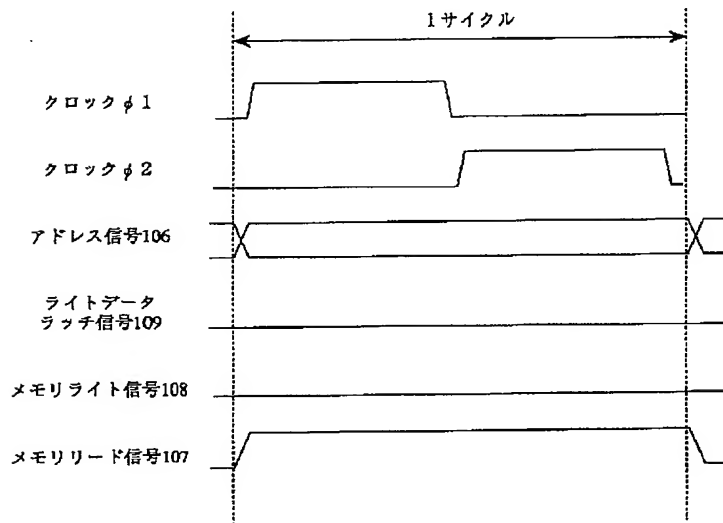
【図1】



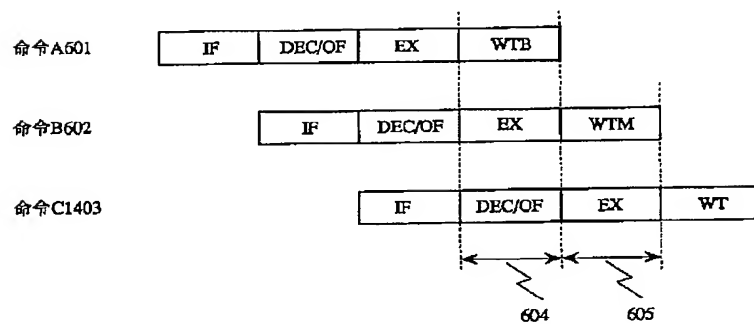
【図13】



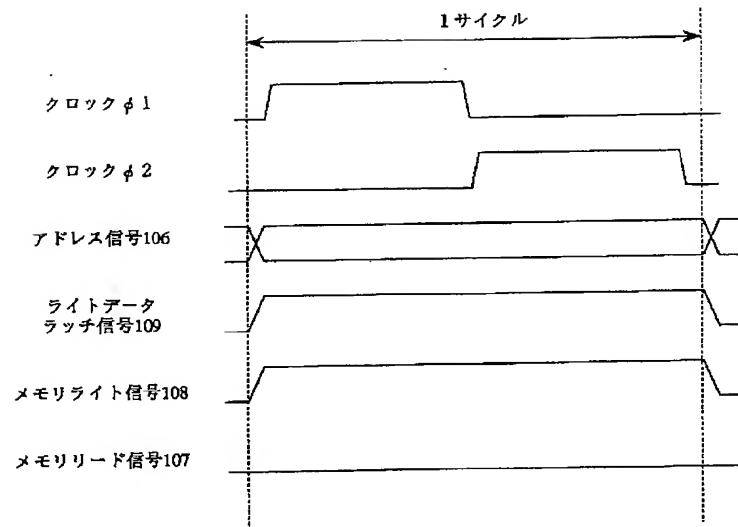
【図2】



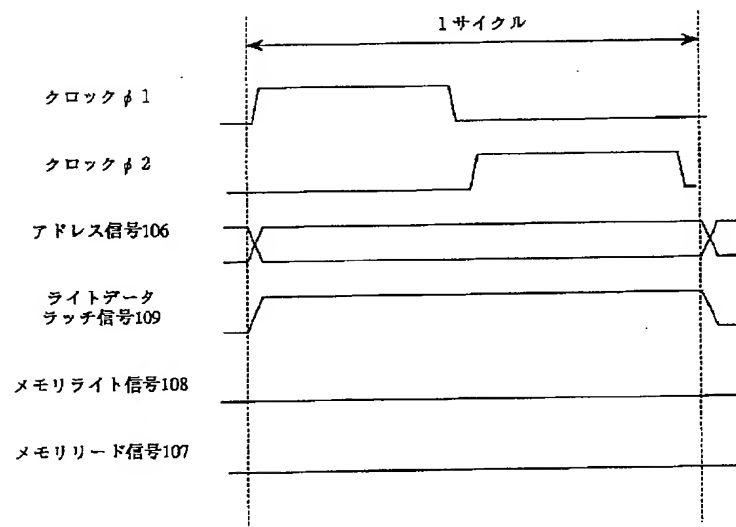
【図6】



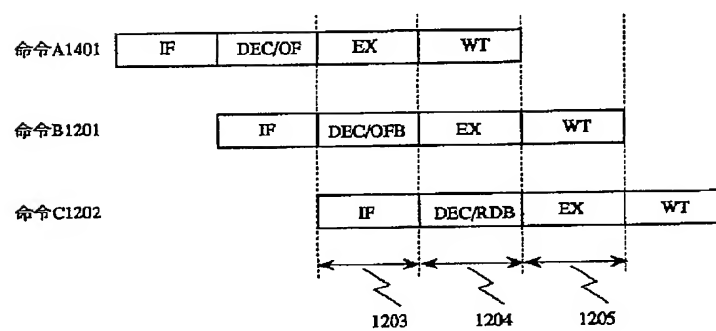
【図3】



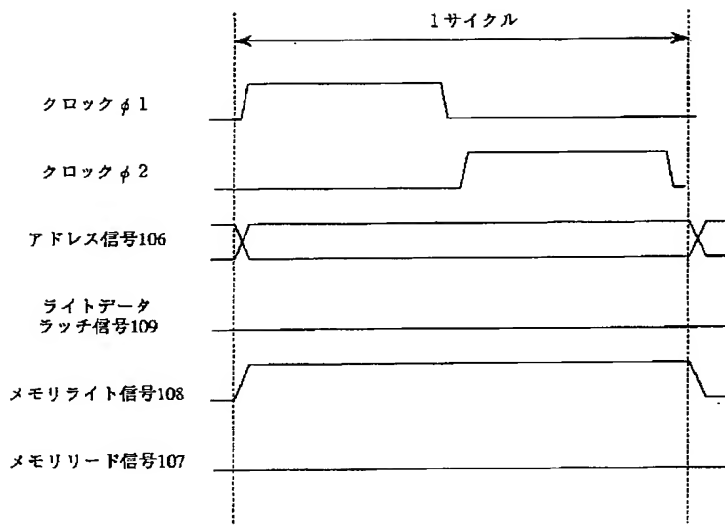
【図4】



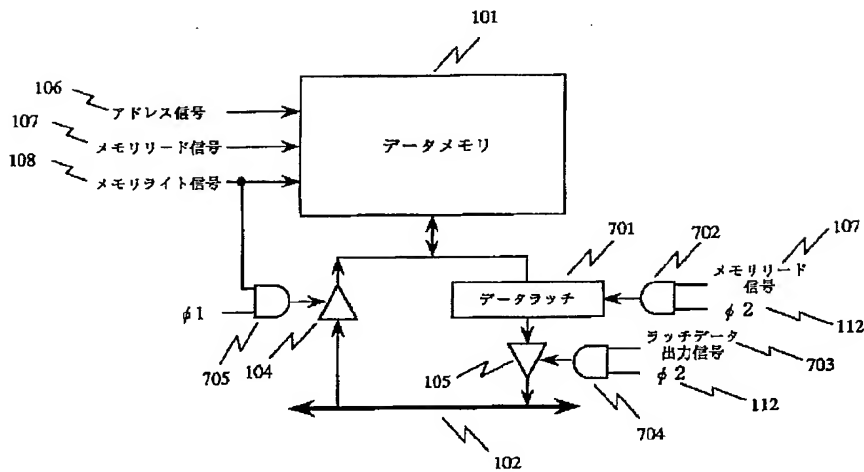
【図12】



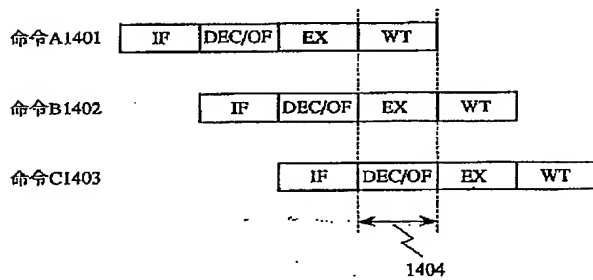
【図5】



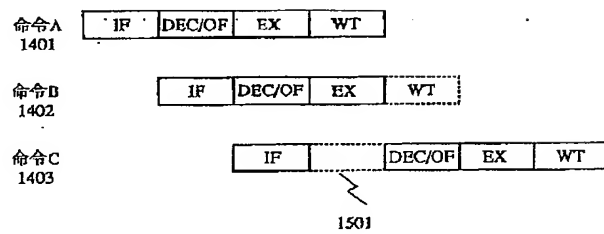
【図7】



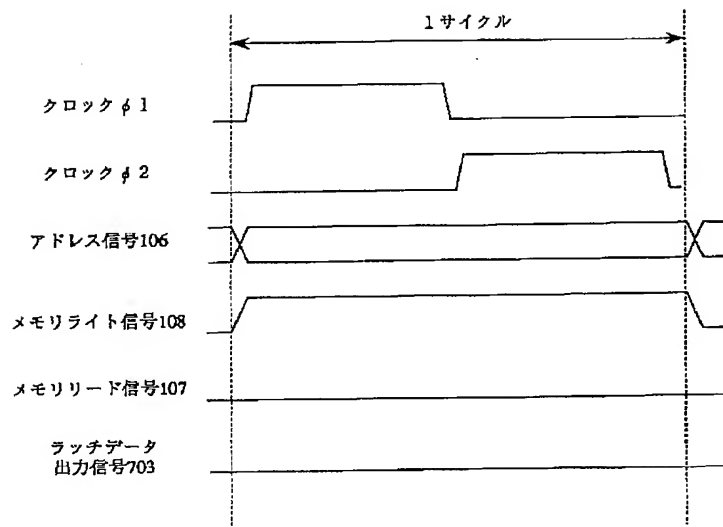
【図14】



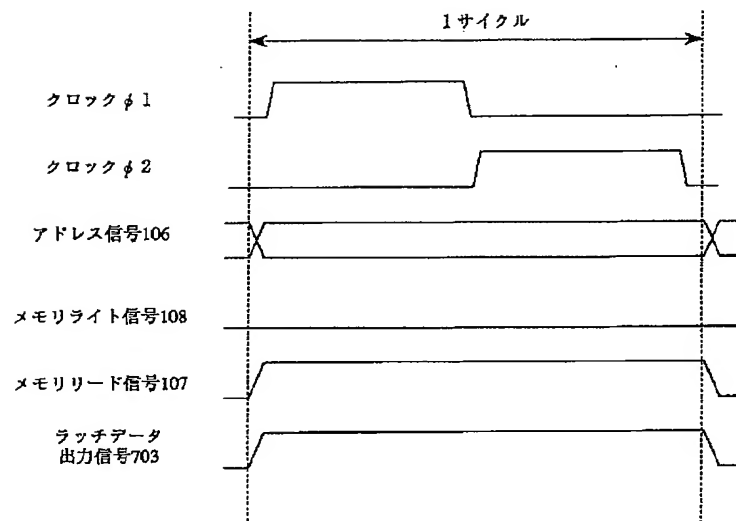
【図15】



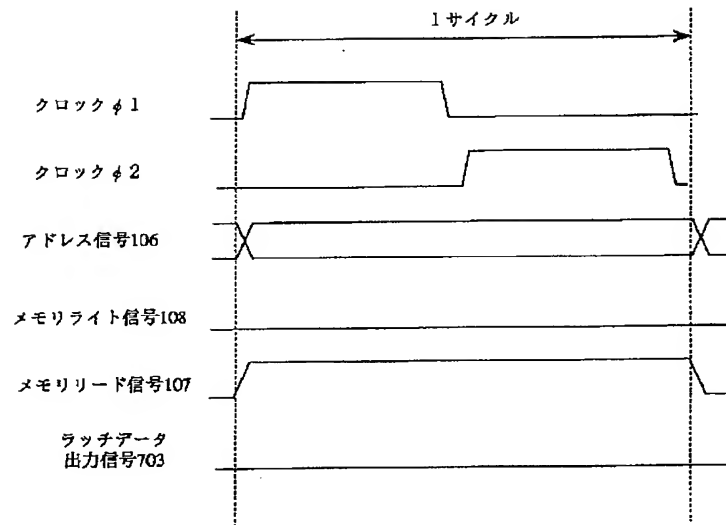
【図8】



【図9】



【図10】



【図11】

